

【명세서】

발명의 명칭

반도체 기억 장치{SEMICONDUCTOR STORAGE DEVICE}

발명의 상세한 설명

기술 분야

본 발명은 반도체 기억 장치에 관한 것으로서, 특히, 통상 동작시보다도 소비 전력이 작은 저소비 전력 상태를 갖는 반도체 기억 장치에 이용하기 적합한 것이다.

배경 기술

DRAM(Dynamic Random Access Memory) 등의 반도체 기억 장치에 있어서는, 전원 전압의 변동을 억제하기 위해서 전원선과 접지선과의 사이에 안정화 용량(디커플링 커패시터)을 설치하는 것이 일반적으로 행해진다. 이 안정화 용량을 DRAM의 메모리 셀에 사용되는 셀 커패시터로 형성하는 것이 고려되고 있다. 예컨대, 특허 문헌 1에는 복수의 셀 커패시터를 분리하여 배치함으로써 면적 효율이 우수한 용량 소자를 실현하는 것이 기재되어 있다.

그러나, DRAM의 셀 커패시터는 인가 전압의 제한치(커패시터 내압)가 낮기 때문에, 그 상태로는 고전압 전원의 안정화 용량으로서의 사용할 수 없다. 그래서, 고전압 전원에 대해서는 복수의 셀 커패시터를 고전압 전원선과 접지선과의 사이에 직렬 접속함으로써 분압하고, 각 셀 커패시터에 인가되는 전압이 커패시터 내압을 초과하지 않도록 셀 커패시터의 접속점에 일정한 중간 전위를 부여하는 회로를 설치한다. 예컨대, 특허 문헌 2, 특허 문헌 3에는 복수의 셀 커패시터를 직렬 접속하여 형성된 안정화 용량에 있어서, 셀 커패시터의 접속점의 중간 전위를 유지하는 회로에 대해서 기재되어 있다.

도 8은 복수의 셀 커패시터를 직렬 접속한 안정화 용량을 설치한 종래의 반도체 기억 장치의 구성을 도시한 도면이다. 도 8에서는 반도체 기억 장치에 있어서의 전원에 따른 회로 부분을 도시하고 있다.

우선, 저소비 전력 상태 신호(DPDS)가 로우 레벨(이하, “L”이라 약기함)인 경우, 즉 통상 동작시보다도 소비 전력을 줄이는 상태인 저소비 전력 모드(Deep Power Down: DPD, 파워 다운 모드라고도 함)가 아닌 경우에 대해서 설명한다. 이 때, 승압 전원 회로(101)는 도시하지 않은 외부 전원으로부터 공급되는 전원 전압(VDD)을 승압하여 메모리 코어(102)에 승압 전압(VPP)을 공급한다.

여기서, 승압 전압(VPP)의 변동을 억제하기 위한 안정화 용량(104)은 셀 커패시터(C1, C2)로 구성되어 있다. 셀 커패시터(C1, C2)는 각각 복수의 셀 커패시터로 구성되어 있다. 셀 커패시터(C1)의 일단에 승압 전압(VPP)이 공급되고, 셀 커패시터(C1)의 타단과 셀 커패시터(C2)의 일단의 접속점에 중간 전위(Vbias)가 공급되며, 셀 커패시터(C2)의 타단이 접지되어 있다.

바이어스 발생 회로(103)는 셀 커패시터(C1, C2)의 접속점에 공급하는 중간 전위(Vbias)를 제어한다. 바이어스 발생 회로(103)는 승압 전압(VPP)을 검출하고, 셀 커패시터(C1, C2)에 인가되는 전압이 커패시터 내압을 초과하지 않도록 중간 전위(Vbias)를 제어한다.

다음에, 저소비 전력 상태 신호(DPDS)가 하이 레벨(이하, “H”라고 약기함)인 경우, 즉 저소비 전력 모드인 경우에 대해서 설명한다. 이 때, 소비 전력을 삭감하기 위해서 승압 전원 회로(101)는 외부 전압(VDD)의 승압 동작을 정지하고, 승압 전압(VPP)의 공급선(전원선)은 플로팅이 된다. 또한, 마찬가지로, 바이어스 발생 회로(103)도 동작을 정지하고, 중간 전위(Vbias)의 공급선은 플로팅이 된다.

도 8에 도시한 종래의 반도체 기억 장치의 동작을 도 9를 참조하여 상세히 설명한다. 이하에서는, 셀 커패시터(C1, C2)는 용량이 같은 것으로 한다.

기동시(기간 S1)에서는, 승압 전원 회로(101) 및 바이어스 발생 회로(103)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(101)는 외부 전원으로부터 공급되는 전원 전압(VDD)을 승압하여, 메모리 코어(102)에 공급하는 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 승압 전압(VPP)의 안정화 용량(104)을 구성하는 셀 커패시터(C1, C2)에 있어서의 중간 전위(Vbias)는 승압 전압(VPP)의 분압 레벨이 된다. 여기서, 셀 커패시터(C1, C2)는 동일한 용량을 갖기 때문에, 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)에 추종한다. 바이어스 발생 회로(103)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다.

통상 동작시(기간 S2)에서는, 승압 전원 회로(101) 및 바이어스 발생 회로(103)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(101)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 유지한다. 또한, 셀 커패시터(C1, C2)의 중간 전위는 승압 전압(VPP)을 분압한 (VPP/2)가 되기 때문에, 바이어스 발생 회로(103)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다.

그리고, 저소비 전력 모드시(기간 S3), 승압 전원 회로(101) 및 바이어스 발생 회로(103)는 “H”의 저소비 전력 상태 신호(DPDS)를 수신한다. “H”의 저소비 전력 상태 신호(DPDS)를 수신한 승압 전원 회로(101) 및 바이어스 발생 회로(103)는 소비 전력을 줄이기 위해서 동작을 정지하고, 승압 전압(VPP) 및 중간 전위(Vbias)의 각각의 공급선은 플로팅이 된다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)이 분압된 (VPP/2)가 된다.

그 후, 저소비 전력 모드시에, 승압 전압(VPP)은 메모리 코어(102)의 누설 전류에 의해 접지 전위를 향해 서서히 저하하게 된다. 또한, 중간 전위(Vbias)도 (VPP/2)로 서서히 저하하게 된다.

다음에, 저소비 전력 모드로부터 통상 동작으로의 이행시(기간 S4)에서는, 승압 전원 회로(101) 및 바이어스 발생 회로(103)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신하여 각각 동작을 개시한다. 승압 전원 회로(101)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)에 추종한다. 바이어스 발생 회로(103)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다.

그 후, 승압 전압(VPP)이 소정의 전압이 되고, 중간 전위(Vbias)가 (VPP/2)가 되면, 통상 동작을 시작한다. 이 통상 동작시(기간 S5)에서는, 전술한 통상 동작시(기간 S2)와 마찬가지로 동작한다.

[특허 문헌 1] 일본 특허 공개 평성 제10-12838호 공보

[특허 문헌 2] 일본 특허 제3399519호 공보

[특허 문헌 3] 일본 특허 공개 제2006-66018호 공보

발명의 내용

해결 하고자하는 과제

종래의 반도체 기억 장치에 있어서, 기동시 및 통상 동작시에는 바이어스 발생 회로(103)에 의해 중간 전위(Vbias)가 제어되어 유지된다. 그러나, 저소비 전력 모드시에는 바이어스 발생 회로(103)가 정지하여 동작하지 않기 때문에, 예컨대 도 10에 도시하는 바와 같이 중간 전위(Vbias)가 승압 전압(VPP)에 가까워지는 경우가 있다. 도 10에 있어서, S1은 기동시를 나타내고, S2는 통상 동작시를 나타내고 있다. 또한, S3은 저소비 전력 모드시, S4는 저소비 전력 모드로부터 통상 동작으로의 이행시, S5는 통상 동작시를 나타내고 있다(후술하는 도 11에 있어서도 동일함).

그 후, 저소비 전력 모드로부터 통상 동작으로의 이행시(기간 S4)에서는, 저소비 전력 상태 신호(DPDS)를 수

신하고, 승압 전원 회로(101)는 외부 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 상승시키며, 바이어스 발생 회로(103)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 그 때문에, 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 저소비 전력 모드시의 전압으로부터 승압 전압(VPP)의 전압 상승분의 (1/2) 상승하고, 통상 동작시에 있어서의 중간 전위(Vbias)로부터 크게 이탈하는 경우가 있다. 이 때, 셀 커패시터(C2)의 인가 전압이 커패시터 내압보다 큰 전압(V1)이 되면, 셀 커패시터(C2)의 파괴나 누설 전류의 증가 등의 문제가 발생하여 신뢰성에 영향을 미친다.

또한, 저소비 전력 모드시에, 예컨대 도 11에 도시하는 바와 같이 중간 전위(Vbias)가 접지 전위에 가까워지는 경우가 있다.

그 후, 저소비 전력 모드로부터 통상 동작으로의 이행시(기간 S4)에는, 저소비 전력 상태 신호(DPDS)를 수신하고, 승압 전원 회로(101)는 외부 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 상승시키며, 바이어스 발생 회로(103)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 저소비 전력 모드시의 전압으로부터 승압 전압(VPP)의 전압 상승분의 (1/2) 상승하고, 통상 동작시에 있어서의 중간 전위(Vbias)로부터 크게 이탈하는 경우가 있다. 이 때, 셀 커패시터(C1)의 인가 전압이 커패시터 내압보다 큰 전압(V2)이 되면, 셀 커패시터(C1)의 파괴나 누설 전류의 증가 등의 문제가 발생하여 신뢰성에 영향을 미친다.

이와 같이 종래의 반도체 기억 장치에 있어서는 저소비 전력 모드로부터 통상 동작으로의 이행시에 중간 전위(Vbias)의 변동에 의해 안정화 용량(104)을 구성하는 셀 커패시터(C1, C2)에 커패시터 내압을 초과하는 전압이 인가되어 버리는 경우가 있었다.

본 발명은 안정화 용량을 구성하는 직렬 접속된 복수의 셀 커패시터의 접속점의 중간 전위를 적절히 제어할 수 있도록 하는 것을 목적으로 한다.

과제 해결수단

본 발명의 반도체 기억 장치는 제1 전원 전압을 승압하여 제2 전원 전압을 복수의 메모리 셀을 갖는 메모리 코어부에 공급하는 승압 전원 회로와, 상기 제2 전원 전압을 공급하는 전원선과 접지 사이에 직렬로 접속된 복수의 커패시터와, 그 직렬 접속된 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로에 부가하여, 승압 전원 회로가 승압 동작을 정지하는 경우에, 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로를 더 구비한다.

본 발명에 따르면, 승압 전원 회로가 승압 동작을 정지하는 경우에, 클램프 회로가 제2 전원 전압을 설정치로 클램프하여 그 후의 통상 동작으로의 이행시에 중간 전위가 제2 전원 전압측이나 접지 전위측으로 크게 이탈하는 것을 방지할 수 있다.

효과

본 발명에 따르면, 승압 전원 회로가 승압 동작을 정지하는 경우에, 클램프 회로가 제2 전원 전압을 설정치로 클램프함으로써, 그 후의 통상 동작으로의 이행시에 중간 전위가 제2 전원 전압측이나 접지 전위측으로 크게 이탈하는 것을 방지하여, 각 커패시터에 내압을 초과하는 전압이 인가되지 않도록 중간 전위를 적절히 제어할 수 있다. 따라서, 커패시터의 파괴나 누설 전류의 증가 등의 문제가 발생하는 것을 방지하고, 신뢰성을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

이하, 본 발명의 실시 형태를 도면에 기초하여 설명한다.

도 1은 본 발명의 실시 형태에 따른 반도체 기억 장치의 구성예를 도시한 도면으로서, 여기서는 본 발명의 요소적 특징만을 나타내고 있다.

승압 전원 회로(11)는 도시하지 않은 외부 전원으로부터 공급되는 전원 전압(VDD)을 승압하여 메모리 코어(12)에 승압 전압(VPP)을 공급한다. 여기서, 메모리 코어(12)는 후술하는 바와 같이 예컨대 DRAM형의 메모리 코어로서, 셀 커패시터(메모리 셀 커패시터)에 의해 구성되는 복수의 메모리 셀을 갖는다.

안정화 용량(14)은 승압 전압(VPP)의 변동을 억제하기 위한 것으로서, 복수의 커패시터(C1, C2)로 구성되어 있다. 커패시터(C1, C2)는 메모리 셀에 사용되는 커패시터와 동일한 셀 커패시터를 이용하여 구성되어 있다. 셀 커패시터(C1)의 일단에는 승압 전압(VPP)이 공급되고, 셀 커패시터(C1)의 타단과 셀 커패시터(C2)의 일단은 접속되며, 셀 커패시터(C2)의 타단은 접지되어 있다. 즉, 안정화 용량(14)을 구성하는 커패시터(C1, C2)는 승압 전압(VPP)을 공급하는 공급선(전원선)과 접지와 사이에 직렬 접속되어 있다. 또한, 셀 커패시터(C1)의 타단과 셀 커패시터(C2)의 일단의 접속점에는 중간 전위(Vbias)가 공급되어 있다.

바이어스 발생 회로(13)는 승압 전압(VPP)을 검출하여, 셀 커패시터(C1, C2)의 인가 전압이 커패시터 내압을 초과하지 않도록 셀 커패시터(C1과 C2)의 접속점에 공급하는 중간 전위(Vbias)를 제어한다. 중간 전위(Vbias)는, 예컨대 셀 커패시터(C1, C2)의 용량비에 따라 승압 전압(VPP)을 분압한 전위로서, 셀 커패시터(C1, C2)의 용량이 같은 경우에는 $VPP/2$ (또는 대략 $VPP/2$)가 된다.

클램프 회로(15)는 승압 전압(VPP)을 설정치로 낮추기 위한 회로, 즉 승압 전압(VPP)을 공급하는 공급선(전원선)을 소정 전위로 클램프하는 회로이다.

승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15)에는 통상 동작시보다도 소비 전력을 줄이는 상태인 저소비 전력 모드(파워 다운 모드)인지 여부를 나타내는 저소비 전력 상태 신호(DPDS)가 공급되어 있다. 본 실시 형태에서는, 저소비 전력 상태 신호(DPDS)가 하이 레벨("H")일 때에 저소비 전력 모드이고, 로우 레벨("L")일 때에는 저소비 전력 모드가 아닌, 예컨대 통상 동작 상태로 한다. 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15)는 저소비 전력 상태 신호(DPDS)에 따라 동작이 제어된다.

구체적으로는, 저소비 전력 상태 신호(DPDS)가 "L"인 경우, 승압 전원 회로(11)는 외부 전원으로부터 공급되는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 공급하고, 바이어스 발생 회로(13)는 승압 전압(VPP)을 검출하여 중간 전위(Vbias)를 제어한다. 저소비 전력 상태 신호(DPDS)가 "L"인 경우, 클램프 회로(15)는 클램프 동작을 행하지 않는다.

한편, 저소비 전력 상태 신호(DPDS)가 "H"인 경우, 즉 저소비 전력 모드시에는, 승압 전원 회로(11) 및 바이어스 발생 회로(13)는 동작을 정지하고, 그 출력은 플로팅이 된다. 또한, 저소비 전력 상태 신호(DPDS)가 "H"인 경우, 클램프 회로(15)가 동작하고, 승압 전압(VPP)이 소정의 전압으로 클램프된다. 즉, 저소비 전력 상태 신호(DPDS)가 "H"인 경우에는 중간 전위(Vbias)의 공급선은 플로팅이 되고, 승압 전압(VPP)은 클램프 회로(15)에 의해 설정 전압으로 낮추어져 클램프된다.

(제1 실시 형태)

본 발명의 제1 실시 형태에 대해서 설명한다.

도 2는 제1 실시 형태에 있어서의 반도체 기억 장치의 구성예를 도시한 도면이다. 이 도 2에 있어서, 도 1에 도시한 블록 등과 동일한 기능을 갖는 블록 등에는 동일한 부호를 붙이고, 중복하는 설명은 생략한다.

제1 실시 형태에 있어서의 반도체 기억 장치는 도 2에 도시하는 바와 같이 클램프 회로(15A)가 승압 전압(VPP)의 공급선과 접지 사이에 접속된 스위칭 회로로 구성되어 있다. 구체적으로는, 클램프 회로(15A)는 스위칭 회로로서의 n채널 MOS 트랜지스터(이하, nMOS 트랜지스터라 약칭함)(M1)로 구성되어 있다. nMOS 트랜지스터(M1)의 드레인에는 승압 전압(VPP)의 공급선에 접속되고, 소스는 접지되어 있다. 또한, nMOS 트랜지스터(M1)의 게이트에는 저소비 전력 상태 신호(DPDS)가 공급되어 있다.

저소비 전력 상태 신호(DPDS)가 "H"인 경우에는, nMOS 트랜지스터(M1)는 온 상태가 되어 승압 전압(VPP)을 접지에 단락시킨다[승압 전압(VPP)을 접지 전위로 클램프함]. 한편, 저소비 전력 상태 신호(DPDS)가 "L"인

인 경우에는, nMOS 트랜지스터(M1)는 오프 상태가 되어 승압 전압(VPP)의 클램프 동작은 행하지 않는다.

제1 실시 형태에 있어서의 반도체 기억 장치의 동작을 도 3을 참조하여 설명한다. 이하에서는, 셀 커패시터(C1, C2)는 용량이 같은 것으로 한다.

기동시(기간 S1)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15A)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 외부 전원으로부터 공급되는 전원 전압(VDD)을 승압하여 메모리 코어(12)에 공급하는 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 승압 전압(VPP)의 안정화 용량(14)을 구성하는 셀 커패시터(C1, C2)에 있어서의 중간 전위(Vbias)는 셀 커패시터(C1, C2)의 용량비에 따른 승압 전압(VPP)의 분압 레벨이 된다. 셀 커패시터(C1, C2)는 동일한 용량을 갖기 때문에, 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)에 추종한다. 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 클램프 회로(15A)는 저소비 전력 상태 신호(DPDS)가 “L”이기 때문에, nMOS 트랜지스터(M1)가 오프 상태가 되어 승압 전압(VPP)의 클램프 동작을 행하지 않는다.

통상 동작시(기간 S2)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15A)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 유지한다. 또한, 셀 커패시터(C1, C2)의 중간 전위는 승압 전압(VPP)을 분압한 (VPP/2)가 되기 때문에, 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 클램프 회로(15A)는 승압 전압(VPP)의 클램프 동작을 행하지 않는다.

그리고, 저소비 전력 모드시(기간 S3), 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15A)는 “H”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 소비 전력을 줄이기 위해서 동작을 정지한다. 또한, 클램프 회로(15A)는 nMOS 트랜지스터(M1)가 온 상태가 되어, 승압 전압(VPP)을 접지 전위로 클램프한다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)이 접지 전위이기 때문에 접지 전위가 된다. 또한, 바이어스 발생 회로(13)는 소비 전력을 줄이기 위해서 동작을 정지하고, 중간 전위(Vbias)의 공급선은 플로팅이 된다.

다음에, 저소비 전력 모드로부터 통상 동작으로의 이행시(기간 S4)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15A)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 따라서, 승압 전원 회로(11) 및 바이어스 발생 회로(13)는 각각 동작을 시작하고, 클램프 회로(15A)는 클램프 동작을 행하지 않는다. 승압 전원 회로(11)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)에 추종한다. 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다.

그 후, 승압 전압(VPP)이 소정의 전압이 되고, 중간 전위(Vbias)가 (VPP/2)가 되면, 통상 동작을 시작한다. 이 통상 동작시(기간 S5)에서는, 전술한 통상 동작시(기간 S2)와 마찬가지로 동작한다.

이상, 제1 실시 형태에 따르면, 저소비 전력 모드시에 클램프 회로(15A)가 승압 전압(VPP)을 접지 전위로 클램프함으로써, 저소비 전력 모드로부터 통상 동작으로의 이행시에, 승압 전압(VPP) 및 중간 전위(Vbias)는 모두 접지 전위로부터 전압이 상승한다. 그 때문에, 중간 전위(Vbias)는 승압 전압(VPP)측으로도 접지 전위측으로도 이탈하지 않고 (VPP/2)가 된다. 따라서, 셀 커패시터(C1, C2)에 그 커패시터 내압을 초과하는 전압이 인가되지 않도록 중간 전위(Vbias)를 적절히 제어할 수 있어 셀 커패시터의 파괴나 누설 전류의 증가 등의 문제가 발생하는 것을 방지하고, 신뢰성을 확보할 수 있다.

(제2 실시 형태)

다음에, 본 발명의 제2 실시 형태에 대해서 설명한다.

도 4는 제2 실시 형태에 있어서의 반도체 기억 장치의 구성예를 도시한 도면이다. 이 도 4에 있어서, 도 1에 도시한 블록 등과 동일한 기능을 갖는 블록 등에는 동일한 부호를 붙이고, 중복하는 설명은 생략한다.

제2 실시 형태에 있어서의 반도체 기억 장치는 도 4에 도시하는 바와 같이 클램프 회로(15B)가 2개의 nMOS 트랜지스터(M11, M12)로 구성되어 있다. nMOS 트랜지스터(M11)의 드레인 및 게이트는 승압 전압(VPP)의 공급선에 접속되고, 소스는 nMOS 트랜지스터(M12)의 드레인에 접속되어 있다. 즉, nMOS 트랜지스터(M11)는 다이오드 접속되어 있다. nMOS 트랜지스터(M12)의 소스는 접지되고, 게이트에는 저소비 전력 상태 신호(DPDS)가 공급되어 있다.

저소비 전력 상태 신호(DPDS)가 “H”인 경우에, nMOS 트랜지스터(M12)는 온 상태가 되어 다이오드 접속되어 있는 nMOS 트랜지스터(M11)의 소스를 접지에 단락시키기 때문에, 승압 전압(VPP)을 nMOS 트랜지스터의 임계치 전압(V_{th})에 단락시킨다[승압 전압(VPP)을 전압(V_{th})에 클램프함]. 한편, 저소비 전력 상태 신호(DPDS)가 “L”인 경우에는, nMOS 트랜지스터(M12)는 오프 상태가 되어 클램프 동작은 행해지지 않는다.

제2 실시 형태에 있어서의 반도체 기억 장치의 동작을 도 5의 (a)를 참조하여 설명한다. 또한, 셀 커패시터(C1, C2)는 용량이 같은 것으로 한다. 도 5의 (a)에 있어서는, 바이어스 발생 회로(13)가 정지하여 동작하지 않는 저소비 전력 모드시에 중간 전위(Vbias)가 승압 전압(VPP)에 가까워지는 경우를 나타내고 있다.

기동시(기간 S1)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15B)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 외부 전원으로부터 공급되는 전원 전압(VDD)을 승압하여 메모리 코어(12)에 공급하는 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 승압 전압(VPP)의 안정화 용량(14)을 구성하는 셀 커패시터(C1, C2)에 있어서의 중간 전위(Vbias)는 승압 전압(VPP)의 분압 레벨이 된다. 셀 커패시터(C1, C2)는 동일한 용량을 갖기 때문에, 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)에 추종한다. 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 클램프 회로(15B)는 저소비 전력 상태 신호(DPDS)가 “L”이기 때문에, 승압 전압(VPP)의 클램프 동작을 행하지 않는다.

통상 동작시(기간 S2)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15B)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 유지한다. 또한, 셀 커패시터(C1, C2)의 중간 전위는 승압 전압(VPP)을 분압한 (VPP/2)가 되기 때문에, 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 클램프 회로(15B)는 승압 전압(VPP)의 클램프 동작을 행하지 않는다.

그리고, 저소비 전력 모드시(기간 S3), 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15B)는 “H”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 소비 전력을 줄이기 위해서 동작을 정지하지만, 클램프 회로(15B)는 클램프 동작을 행하여 승압 전압(VPP)을 nMOS 트랜지스터의 임계치 전압(V_{th})으로 클램프한다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)을 (1/2)로 분압한 ($V_{th}/2$)가 된다. 또한, 바이어스 발생 회로(13)는 소비 전력을 줄이기 위해서 동작을 정지하고, 중간 전위(Vbias)의 공급선은 플로팅이 된다.

여기서, 기동시 및 통상 동작시에는 바이어스 발생 회로(13)에 의해 중간 전위(Vbias)가 제어되어 유지되지만, 도 5의 (a)에 도시하는 예에서는, 저소비 전력 모드시에, 중간 전위(Vbias)는 시간의 경과에 따라 승압 전압(VPP)과 같은 nMOS 트랜지스터의 임계치 전압(V_{th})에 가까워지는 경우를 나타내고 있다.

저소비 전력 모드로부터 통상 동작으로의 이행시(기간 S4)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15B)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 따라서, 승압 전원 회로(11) 및 바이어스 발생 회로(13)는 각각 동작을 시작하고, 클램프 회로(15B)는 클램프 동작을 행하지 않는다. 승압 전원 회로(11)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)만큼 상승한다. 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다.

이 때, 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 nMOS 트랜지스터의 임계치 전압(V_{th})으로부터 전압이 상승하기 때문에, $V_{th} + (VPP - V_{th})/2 = VPP/2 + V_{th}/2$ 가 된다. 즉, 저소비 전력 모드로부터 통상 동작으로의 이행시에 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 거의 승압 전압(VPP)의 (1/2)이 된다.

그 후, 승압 전압(VPP)이 소정의 전압이 되고, 중간 전위(Vbias)가 (VPP/2)가 되면, 통상 동작을 시작한다. 이 통상 동작시(기간 S5)에는, 전술한 통상 동작시(기간 S2)와 마찬가지로 동작한다.

제2 실시 형태에 있어서의 반도체 기억 장치의 다른 동작예를 도 5의 (b)를 참조하여 설명한다. 또한, 셀 커패시터(C1, C2)는 용량이 같은 것으로 한다. 도 5의 (b)에 있어서는, 바이어스 발생 회로(13)가 정지하여 동작하지 않는 저소비 전력 모드시에 중간 전위(Vbias)가 접지 전위에 가까워지는 경우를 나타내고 있다.

기동시(기간 S1), 통상 동작시(기간 S2) 및 저소비 전력 모드시(기간 S3)의 동작은 도 5의 (a)를 참조하여 설명한 동작과 동일하기 때문에 설명은 생략한다. 단, 도 5의 (b)에 도시하는 예에서는, 저소비 전력 모드시에, 중간 전위(Vbias)가 시간의 경과에 따라 접지 전위가 되는 것으로 한다.

저소비 전력 모드로부터 통상 동작으로의 이행시(기간 S4)에, 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15B)는 “L”의 저소비 전력 상태 신호(DPDS)를 수신한다. 승압 전원 회로(11)는 전원 전압(VDD)을 승압하여 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 승압 전압(VPP)의 전압 상승의 (1/2)만큼 상승한다. 바이어스 발생 회로(13)는 중간 전위(Vbias)를 (VPP/2)로 하도록 동작한다. 클램프 회로(15B)는 클램프 동작을 행하지 않는다.

이 때, 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 접지 전위로부터 전압이 상승하기 때문에, $(VPP - V_{th})/2 = VPP/2 - V_{th}/2$ 가 된다. 즉, 저소비 전력 모드로부터 통상 동작으로의 이행시에 셀 커패시터(C1, C2)의 중간 전위(Vbias)는 거의 승압 전압(VPP)의 (1/2)이 된다.

그 후, 승압 전압(VPP)이 소정의 전압이 되고, 중간 전위(Vbias)가 (VPP/2)가 되면, 통상 동작을 개시한다. 이 통상 동작시(기간 S5)에서는, 통상 동작시(기간 S2)와 마찬가지로 동작한다.

제2 실시 형태에 따르면, 저소비 전력 모드시에 클램프 회로(15B)가 승압 전압(VPP)을 nMOS 트랜지스터의 임계치 전압(V_{th})으로 클램프함으로써, 저소비 전력 모드로부터 통상 동작으로의 이행시에 중간 전위(Vbias)는 승압 전압(VPP)측으로도 접지 전위측으로도 크게 이탈하지 않고 거의 (VPP/2)가 된다. 따라서, 셀 커패시터(C1, C2)에 그 커패시터 내압을 초과하는 전압이 인가되지 않도록 중간 전위(Vbias)를 적절히 제어할 수 있어 셀 커패시터의 파괴나 누설 전류의 증가 등의 문제가 발생하는 것을 방지하고, 신뢰성을 확보할 수 있다.

(본 실시 형태에 따른 반도체 기억 장치의 전체 구성)

도 6은 본 발명의 실시 형태에 따른 반도체 기억 장치의 전체 구성예를 도시하는 블록도이다. 이 도 6에 있어서, 도 1에 도시한 블록 등과 동일한 기능을 갖는 블록 등에는 동일한 부호를 붙이고 있다.

본 실시 형태에 따른 반도체 기억 장치(20)는 커맨드 제어 회로(21), 동작 제어 회로(22), 어드레스 입력 회로(23), 어드레스 디코더(24), 데이터 입출력 회로(25), 승압 전원 회로(11), 메모리 코어(12), 바이어스 발생 회로(13), 안정화 용량(14) 및 클램프 회로(15)를 갖는다.

커맨드 제어 회로(21)는 칩 인에이블 신호(/CE1, CE2), 아웃풋 인에이블 신호(/OE) 및 라이트 인에이블 신호(/WE)를 외부 커맨드(CMD)로서 수신한다. 커맨드 제어 회로(21)는 수신한 외부 커맨드(CMD)를 해독하고, 해독 결과를 내부 커맨드 신호로서 동작 제어 회로(22)에 출력한다. 내부 커맨드 신호에 의해 표시되는 커맨드로서는, 판독 커맨드, 기록 커맨드, 저소비 전력 모드 커맨드 등이 있다. 예컨대, 외부 커맨드(CMD)를 구성하는 칩 인에이블 신호(CE2)를 “L”로 함으로써, 반도체 기억 장치(20)를 저소비 전력 상태로 하고, 칩 인에이블 신호(CE2)를 “H”로 함으로써, 반도체 기억 장치(20)를 통상 동작 상태로 할 수 있다.

동작 제어 회로(22)는 커맨드 제어 회로(21)로부터 공급되는 내부 커맨드 신호(판독 커맨드, 기록 커맨드, 저소비 전력 모드 커맨드 등) 및 반도체 기억 장치(20)의 내부에서 생성되는 리프레시 커맨드에 따라 메모리 코어(12)에 대하여 판독 동작, 기록 동작 및 리프레시 동작을 행하기 위한 타이밍 신호나 저소비 전력 상태 신호(DPDS)를 생성한다. 또한, 동작 제어 회로(22)는 내부 커맨드 신호인 판독 커맨드 또는 기록 커맨드와, 내부에서 생성되는 리프레시 커맨드가 경합하는 경우에, 이들 커맨드를 조정하는 아비터(도시하지 않음)를 갖는다.

다. 또한, 리프레시 커맨드는 리프레시 타이머(도시하지 않음)에 의해 주기적으로 생성된다.

동작 제어 회로(22)에 의해 생성된 타이밍 신호는 메모리 코어(12) 및 데이터 입출력 회로(25) 등에 공급된다. 또한, 동작 제어 회로(22)에 의해 생성된 저소비 전력 상태 신호(DPDS)는 승압 전원 회로(11), 바이어스 발생 회로(13) 및 클램프 회로(15) 등에 공급된다.

어드레스 입력 회로(23)는 어드레스 단자를 통해 외부 어드레스 신호(ADD)를 수신하고, 수신한 외부 어드레스 신호(ADD)를 어드레스 디코더(24)에 공급한다. 어드레스 디코더(24)는 어드레스 입력 회로(23)로부터 공급되는 외부 어드레스 신호(ADD)를 디코드하고, 그 디코드 신호를 메모리 코어(12)에 출력한다.

데이터 입출력 회로(25)는 판독 동작시에 메모리 코어(12)로부터 공통 데이터 버스를 통해 전송되는 판독 데이터를, 외부 데이터 단자를 통해 데이터 신호(DAT)로서 출력한다. 또한, 데이터 입출력 회로(25)는, 기록 동작시에는 외부 데이터 단자를 통해 데이터 신호(DAT)로서 입력되는 기록 데이터를 수신하고, 수신한 기록 데이터를 공통 데이터 버스를 통해 메모리 코어(12)로 전송한다. 데이터 입출력 회로(25)에 있어서의 데이터의 입출력 동작은 동작 제어 회로(22)로부터의 타이밍 신호에 기초하여 행해진다.

승압 전원 회로(11)는 동작 제어 회로(22)로부터 저소비 전력 상태 신호(DPDS)를 수신하고, 저소비 전력 상태 신호(DPDS)가 “L”인 경우, 즉 저소비 전력 모드가 아닌 경우에는, 도시하지 않은 전원으로부터 공급되는 전원 전압(VDD)을 승압하여, 메모리 코어(12)에 공급하는 승압 전압(VPP)을 소정의 전압으로 상승시킨다. 한편, 저소비 전력 상태 신호(DPDS)가 “H”인 경우, 즉 저소비 전력 모드라면, 승압 전원 회로(11)는 전원 전압(VDD)의 승압 동작을 정지한다.

메모리 코어(12)는 DRAM형의 메모리 코어로서, 메모리 셀 어레이(26), 워드 디코더(27), 센스 앰프(28) 및 칼럼 디코더(29)를 갖는다. 메모리 셀 어레이(26)는 어레이형으로 배치된 복수의 메모리 셀(다이내믹 메모리 셀)을 가지며, 각 메모리 셀은 전송 트랜지스터 및 데이터를 기억하기 위한 셀 커패시터를 포함한다. 또한, 메모리 셀 어레이(26)는 각 메모리 셀의 전송 트랜지스터의 게이트에 접속된 워드선 및 전송 트랜지스터의 데이터 입출력 노드에 접속된 비트선을 갖는다.

워드 디코더(27)는 공급되는 디코드 신호의 로우 디코드 신호에 따라 복수의 워드선 중에서 어느 하나의 워드선을 선택한다. 센스 앰프(28)는 예컨대 판독 동작시에 비트선을 통해 메모리 셀로부터 판독되는 데이터의 신호량을 증폭한다. 칼럼 디코더(29)는 공급되는 디코드 신호의 칼럼 디코드 신호에 따라 비트선에 판독되어 센스 앰프(28)로 증폭된 판독 데이터를 공통 데이터 버스에 전달하거나 또는 공통 데이터 버스를 통해 공급되는 기록 데이터를 비트선으로 전달하기 위한 칼럼 스위치를 제어하는 제어 신호를 출력한다.

안정화 용량(14)은 승압 전압(VPP)의 변동을 억제하기 위한 것으로서, 승압 전압(VPP)을 공급하는 공급선(전원선)과 접지와 사이에 직렬 접속된 복수의 커패시터(C1, C2)로 구성되어 있다. 커패시터(C1, C2)는 메모리 셀에 사용되는 커패시터와 동일한 셀 커패시터를 이용하여 구성되어 있다.

바이어스 발생 회로(13)는 동작 제어 회로(22)로부터 저소비 전력 상태 신호(DPDS)를 수신하여 저소비 전력 상태 신호(DPDS)가 “L”인(저소비 전력 모드가 아닌) 경우에는 안정화 용량(14)의 셀 커패시터(C1, C2)에 인가되는 전압이 커패시터 내압을 초과하지 않도록 셀 커패시터(C1과 C2)의 접속점에 공급하는 중간 전위(Vbias)를 제어한다. 한편, 저소비 전력 상태 신호(DPDS)가 “H”인(저소비 전력 모드인) 경우에는 바이어스 발생 회로(13)는 동작하지 않는다.

클램프 회로(15)는 동작 제어 회로(22)로부터 저소비 전력 상태 신호(DPDS)를 수신하여 저소비 전력 상태 신호(DPDS)가 “L”인(저소비 전력 모드가 아닌) 경우에는 동작하지 않는다. 한편, 클램프 회로(15)는 저소비 전력 상태 신호(DPDS)가 “H”인(저소비 전력 모드인) 경우에는 승압 전압(VPP)을 설정치에 클램프한다.

또한, 전술한 각 실시 형태에 있어서는, 안정화 용량(14)을 구성하는 직렬 접속된 셀 커패시터(C1, C2)의 접속점에 공급되는 중간 전위(Vbias)는 셀 커패시터(C1, C2)의 용량비에 따라 승압 전압(VPP)을 분압한 전위로 하고 있지만, 이것에 한정되지 않는다. 셀 커패시터(C1, C2)에 인가되는 전압이 각각의 커패시터 내압을

초과하지 않도록 하는 전위이면 좋고, 셀 커패시터(C1)의 내압을 VC1, 셀 커패시터(C2)의 내압을 VC2로 하면, 중간 전위(Vbias)는 $(VPP-Vbias) \leq VC1$, 또 $Vbias \leq VC2$ 를 만족하는 전위이면 좋다.

또한, 전술한 실시 형태에서는, 안정화 용량(14)은 2개의 셀 커패시터(C1, C2)에 의해 구성되고 있지만, 2개에 한정되지 않고, 그 이상의 복수의 셀 커패시터를 직렬 접속하여 구성하도록 하여도 좋다. 그 경우에는, 안정화 용량(14)을 구성하는 각 셀 커패시터의 접속점에 적절하게 중간 전위(Vbias)를 공급하도록 하여 바이어스 발생 회로(13)에 의해 각 중간 전위(Vbias)를 적절히 제어하면 좋다.

다음에, 전술한 실시 형태에 있어서의 반도체 기억 장치와, 반도체 기억 장치에 외부 커맨드(CMD)를 공급하여 반도체 기억 장치의 동작 상태를 제어할 수 있는 CPU(제어 장치)를 갖는 전자 장치를 적용한 휴대 전화 장치에 대해서 설명한다.

도 7은 본 실시 형태에 있어서의 전자 장치를 적용한 휴대 전화 장치의 구성예를 도시한 블록도이다. 기본적인 구성은 종래의 휴대 전화 장치와 동일하며, 안테나(31)를 구비한 송수신부(32)와, 송신 신호의 변조, 수신 신호의 복조 및 음성과 데이터를 분별 처리하는 음성 신호 처리부(33)와, 음성을 입출력하는 음성 입출력부(34)와, 송신 데이터의 부호화 및 수신 데이터의 복호화에 관한 처리를 행하는 DSP(Digital Signal Processor)(35)와, 송수신의 제어 및 각 기능부를 통괄적으로 제어하여 각 기능을 실현시키는 CPU(36)와, 처리 프로그램이나 수신 데이터 등을 저장하는 메모리부(37)와, 전화번호나 지시 조작 등을 입력하는 입력부(38)와, 데이터를 표시하는 표시부(39)로 구성되어 있다.

메모리부(37)는 전술한 승압 전원 회로(11), 메모리 코어(12), 바이어스 발생 회로(13), 셀 커패시터로 구성되는 안정화 용량(14), 및 클램프 회로(15)를 갖는 본 발명의 실시 형태에 있어서의 반도체 기억 장치(20)로 구성된다. 메모리부(37)는 CPU(36)로부터 외부 커맨드(CMD)가 공급되고, 이 외부 커맨드(CMD)에 의해 메모리 코어(12)의 동작 모드(동작 상태)가 제어된다. 예컨대, 메모리부(37)에서는, CPU(36)로부터의 외부 커맨드(CMD)에 따라 데이터의 판독 동작이나 기록 동작이 행해진다. 또한, 예컨대 메모리부(37)의 동작 상태가 CPU(36)로부터의 외부 커맨드(CMD)에 따라 통상 동작 상태나 저소비 전력 모드 상태로 전환되고, 메모리부(37)를 사용하지 않는 경우에는, CPU(36)로부터의 외부 커맨드(CMD)에 기초한 저소비 전력 모드 커맨드에 의해 소비 전력을 줄이도록 메모리부(37)의 동작을 정지하거나 또는 일부 제한할 수 있다.

또한, 상기 실시 형태는 모두 본 발명을 실시하는 데 있어서의 구체화의 그저 일례를 도시한 것에 불과하고, 이들에 의해 본 발명의 기술적 범위가 한정적으로 해석되어서는 안 되는 것이다. 즉, 본 발명은 그 기술 사상 또는 그 주요한 특징에서 벗어나지 않게 여러 가지 형태로 실시할 수 있다.

본 발명의 여러 가지 형태를 부기로서 이하에 나타낸다.

(부기 1) 복수의 메모리 셀을 갖는 메모리 코어부와,

제1 전원 전압을 승압하여 제2 전원 전압을 상기 메모리 코어부에 공급하는 승압 전원 회로와,

상기 승압 전원 회로로부터의 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 직렬로 접속된 제1 및 제2 커패시터와,

상기 제1 커패시터와 상기 제2 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로와,

상기 승압 전원 회로가 승압 동작을 정지하는 경우에, 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

(부기 2) 상기 클램프 회로는 저소비 전력 모드시에 상기 제2 전원 전압을 설정치로 낮추는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 3) 상기 클램프 회로는 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 접속된 스위칭 회로

인 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 4) 상기 클램프 회로는 상기 제2 전원 전압을 접지 전위로 낮추는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 5) 상기 클램프 회로는, 드레인이 상기 제2 전원 전압을 공급하는 전원선에 접속되고, 소스가 접지되며, 게이트에 상기 저소비 전력 모드인지 여부를 나타내는 신호가 공급되는 트랜지스터를 포함하는 것을 특징으로 하는 부기 2에 기재한 반도체 기억 장치.

(부기 6) 상기 클램프 회로는, 드레인 및 게이트가 상기 제2 전원 전압을 공급하는 전원선에 접속된 제1 트랜지스터와, 드레인이 상기 제1 트랜지스터의 소스에 접속되고, 소스가 접지되며, 게이트에 상기 저소비 전력 모드인지 여부를 나타내는 신호가 공급되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 부기 2에 기재한 반도체 기억 장치.

(부기 7) 상기 제1 및 제2 커패시터는 메모리 셀 커패시터를 이용하여 구성되는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 8) 상기 중간 전위는 직렬 접속된 상기 제1 및 상기 제2 커패시터의 용량비에 따라, 상기 제2 전원 전압을 분압한 전위인 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 9) 상기 제1 및 상기 제2 커패시터의 용량은 같고, 상기 중간 전위는 상기 제2 전원 전압의 (1/2) 또는 거의 (1/2)의 전위인 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 10) 상기 중간 전위는 상기 제1 및 상기 제2 커패시터에 각각 인가되는 전압이 내압을 초과하지 않는 전위인 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 11) 입력되는 외부 커맨드에 따라, 상기 저소비 전력 모드 상태와 통상 동작 상태를 전환 가능한 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.

(부기 12) 복수의 메모리 셀을 갖는 메모리 코어부와,

제1 전원 전압을 승압하여 제2 전원 전압을 상기 메모리 코어부에 공급하는 승압 전원 회로와,

상기 승압 전원 회로로부터의 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 직렬로 접속된 복수의 커패시터와,

상기 직렬 접속된 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로와,

상기 승압 전원 회로에 의한 승압 동작이 정지되는 저소비 전력 모드시에 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.

(부기 13) 상기 클램프 회로는 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 접속된 스위칭 회로인 것을 특징으로 하는 부기 12에 기재한 반도체 기억 장치.

(부기 14) 상기 클램프 회로는, 드레인이 상기 제2 전원 전압을 공급하는 전원선에 접속되고, 소스가 접지되며, 게이트에 상기 저소비 전력 모드인지 여부를 나타내는 신호가 공급되는 트랜지스터를 포함하는 것을 특징으로 하는 부기 12에 기재한 반도체 기억 장치.

(부기 15) 상기 클램프 회로는, 드레인 및 게이트가 상기 제2 전원 전압을 공급하는 전원선에 접속된 제1 트랜지스터와, 드레인이 상기 제1 트랜지스터의 소스에 접속되고, 소스가 접지되며, 게이트에 상기 저소비 전력 모드인지 여부를 나타내는 신호가 공급되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 부기 12에 기재

한 반도체 기억 장치.

(부기 16) 상기 복수의 커패시터는 각각 메모리 셀 커패시터를 이용하여 구성되는 것을 특징으로 하는 부기 12에 기재한 반도체 기억 장치.

(부기 17) 각 커패시터에 각각 인가되는 전압을 내압 이하로 하는 상기 중간 전위를 상기 직렬 접속된 커패시터의 접속점에 공급하는 것을 특징으로 하는 부기 12에 기재한 반도체 기억 장치.

(부기 18) 복수의 메모리 셀을 갖는 메모리 코어부와, 제1 전원 전압을 승압하여 제2 전원 전압을 상기 메모리 코어부에 공급하는 승압 전원 회로와, 상기 승압 전원 회로로부터의 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 직렬로 접속된 복수의 커패시터와, 상기 직렬 접속된 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로와, 저소비 전력 모드시에 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로를 포함하는 반도체 기억 장치와,

상기 반도체 기억 장치에 대하여 커맨드를 입력하고, 이 커맨드에 의해 상기 반도체 기억 장치의 동작 상태를 제어할 수 있는 제어 장치를 포함하는 것을 특징으로 하는 전자 장치.

특허청구의 범위

청구항 1.

복수의 메모리 셀을 갖는 메모리 코어부와;

제1 전원 전압을 승압하여 제2 전원 전압을 상기 메모리 코어부에 공급하는 승압 전원 회로와;

상기 승압 전원 회로로부터의 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 직렬로 접속된 제1 및 제2 커패시터와;

상기 제1 커패시터와 상기 제2 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로와;

상기 승압 전원 회로가 승압 동작을 정지하는 경우에, 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2.

제1항에 있어서, 상기 클램프 회로는 저소비 전력 모드시에 상기 제2 전원 전압을 설정치로 낮추는 것을 특징으로 하는 반도체 기억 장치.

청구항 3.

제1항에 있어서, 상기 클램프 회로는 상기 제2 전원 전압을 공급하는 전원선과 접지와 사이에 접속된 스위칭 회로인 것을 특징으로 하는 반도체 기억 장치.

청구항 4.

제2항에 있어서, 상기 클램프 회로는, 드레인이 상기 제2 전원 전압을 공급하는 전원선에 접속되고, 소스가

접지되며, 게이트에 상기 저소비 전력 모드인지 여부를 나타내는 신호가 공급되는 트랜지스터를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 5.

제2항에 있어서, 상기 클램프 회로는, 드레인 및 게이트가 상기 제2 전원 전압을 공급하는 전원선에 접속된 제1 트랜지스터와, 드레인이 상기 제1 트랜지스터의 소스에 접속되고, 소스가 접지되며, 게이트에 상기 저소비 전력 모드인지 여부를 나타내는 신호가 공급되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 6.

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 및 제2 커패시터는 메모리 셀 커패시터를 이용하여 구성되는 것을 특징으로 하는 반도체 기억 장치.

청구항 7.

제2항에 있어서, 입력되는 외부 커맨드에 따라, 상기 저소비 전력 모드 상태와 통상 동작 상태를 전환 가능한 것을 특징으로 하는 반도체 기억 장치.

청구항 8.

복수의 메모리 셀을 갖는 메모리 코어부와;

제1 전원 전압을 승압하여 제2 전원 전압을 상기 메모리 코어부에 공급하는 승압 전원 회로와;

상기 승압 전원 회로로부터의 상기 제2 전원 전압을 공급하는 전원선과 접지와의 사이에 직렬로 접속된 복수의 커패시터와;

상기 직렬 접속된 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로와;

상기 승압 전원 회로에 의한 승압 동작이 정지되는 저소비 전력 모드시에 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9.

제8항에 있어서, 상기 복수의 커패시터는 각각 메모리 셀 커패시터를 이용하여 구성되는 것을 특징으로 하는 반도체 기억 장치.

청구항 10.

복수의 메모리 셀을 갖는 메모리 코어부와, 제1 전원 전압을 승압하여 제2 전원 전압을 상기 메모리 코어부에 공급하는 승압 전원 회로와, 상기 승압 전원 회로로부터의 상기 제2 전원 전압을 공급하는 전원선과 접지와의

사이에 직렬로 접속된 복수의 커패시터와, 상기 직렬 접속된 커패시터의 접속점에 중간 전위를 공급하는 바이어스 발생 회로와, 저소비 전력 모드시에 상기 제2 전원 전압을 설정치로 낮추는 클램프 회로를 포함하는 반도체 기억 장치와;

상기 반도체 기억 장치에 대하여 커맨드를 입력하고, 이 커맨드에 의해 상기 반도체 기억 장치의 동작 상태를 제어할 수 있는 제어 장치

를 포함하는 것을 특징으로 하는 전자 장치.

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 따른 반도체 기억 장치의 요소적 특징을 도시한 구성도.

도 2는 제1 실시 형태에 따른 반도체 기억 장치의 요소적 특징을 도시한 도면.

도 3은 제1 실시 형태에 있어서의 각 상태에 따른 전압 변화를 도시한 도면.

도 4는 제2 실시 형태에 따른 반도체 기억 장치의 요소적 특징을 도시한 도면.

도 5는 제2 실시 형태에 있어서의 각 상태에 따른 전압 변화를 도시한 도면.

도 6은 본 발명의 실시 형태에 따른 반도체 기억 장치의 구성예를 도시한 블록도.

도 7은 본 발명의 실시 형태에 있어서의 전자 장치를 적용한 휴대 전화 장치의 구성예를 도시한 도면.

도 8은 종래의 반도체 기억 장치의 구성을 도시한 도면.

도 9는 종래의 반도체 기억 장치에서의 각 상태에 따른 전압 변화를 도시한 도면.

도 10은 종래의 반도체 기억 장치에 있어서의 문제점을 설명하기 위한 도면.

도 11은 종래의 반도체 기억 장치에 있어서의 문제점을 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

11 : 승압 전원 회로

12 : 메모리 코어

13 : 바이어스 발생 회로

14 : 안정화 용량

15 : 클램프 회로

20 : 반도체 기억 장치

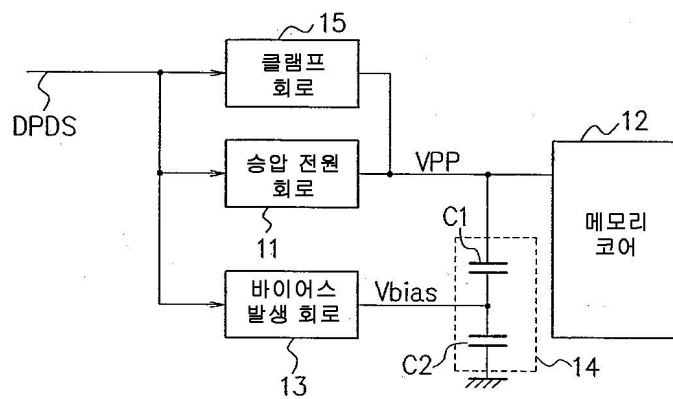
21 : 커맨드 제어 회로

22 : 동작 제어 회로

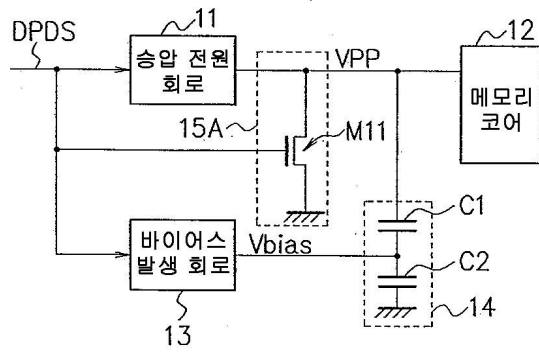
- 23 : 어드레스 입력 회로
- 24 : 어드레스 디코더
- 25 : 데이터 입출력 회로
- 31 : 안테나
- 32 : 송수신부
- 33 : 음성 신호 처리부
- 34 : 음성 입출력부
- 35 : DSP
- 36 : CPU
- 37 : 메모리부
- 38 : 입력부
- 39 : 표시부
- 101 : 승압 전원 회로
- 102 : 메모리 코어
- 103 : 바이어스 발생 회로
- 104 : 안정화 용량

도면

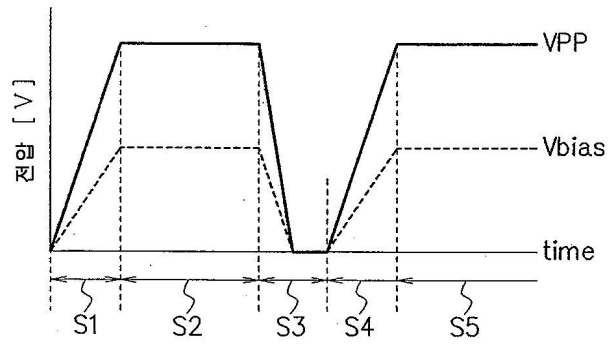
도면1



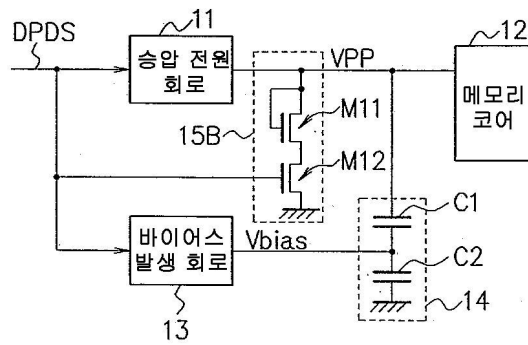
도면2



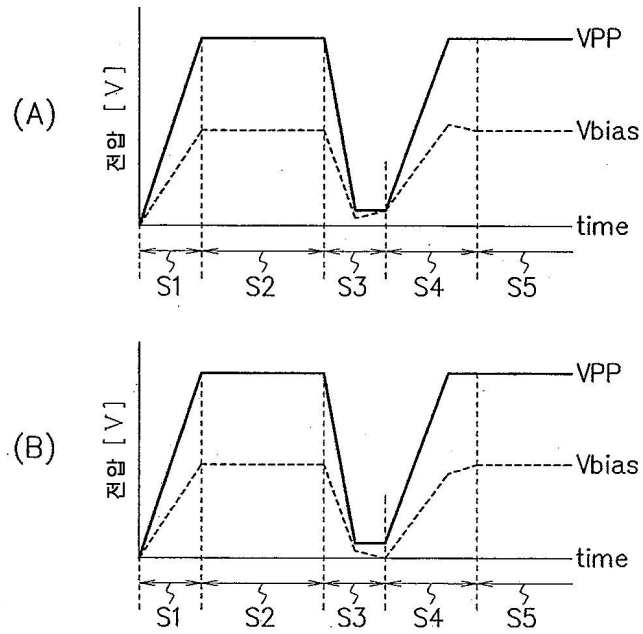
도면3



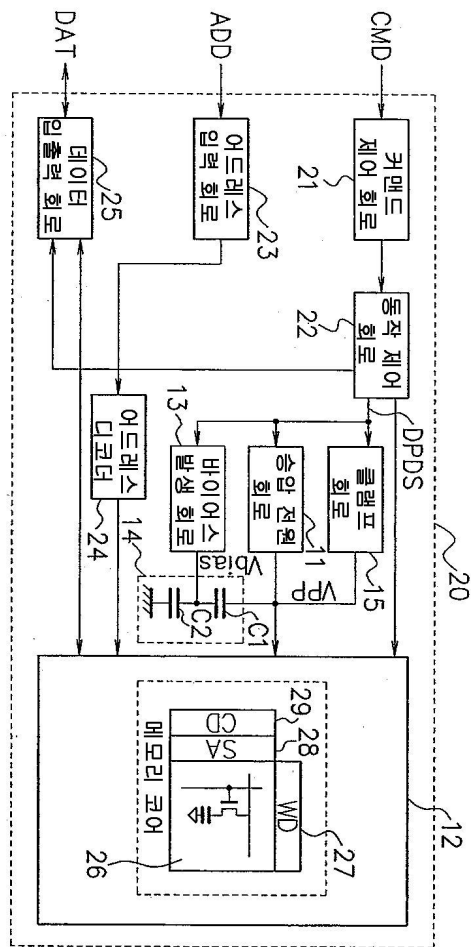
도면4



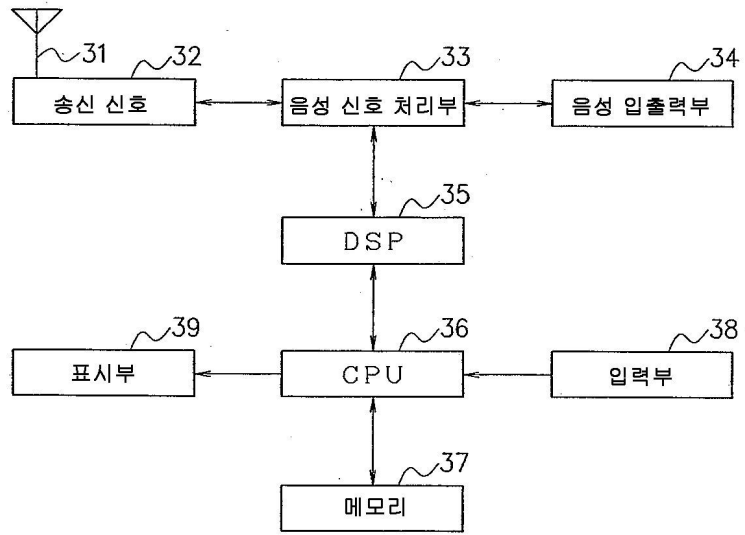
도면5



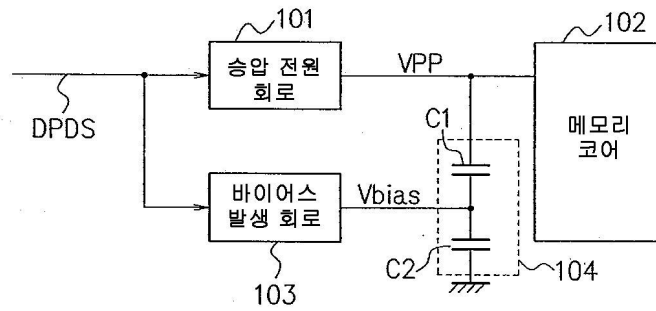
도면6



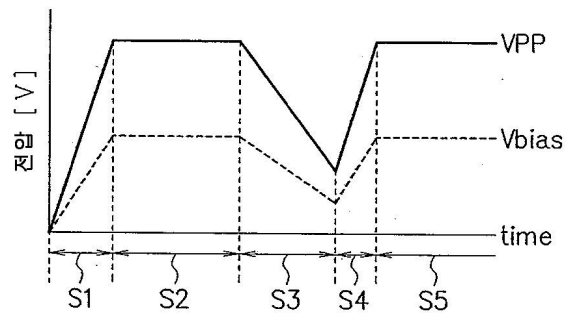
도면7



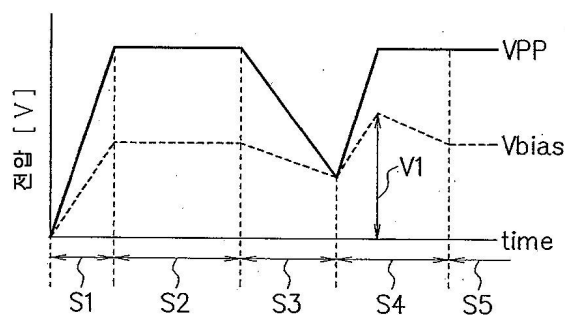
도면8



도면9



도면10



도면11

